



Analyse d'un amplificateur CMOS

Dispositifs et technologies électroniques - Rapport de projet

DENIS Pierre, DELPIRE Boris, FACCHIN Florian, POTTIEZ Grégoire



Année académique 2021-2022

Table des matières

Introduction	1
1 Prédéterminations théoriques	2
1.1 Point de repos	2
1.2 Paramètres petits signaux	2
1.3 Calcul en courant alternatif petits signaux	3
2 Simulations sous LTSpice	4
3 Vérifications expérimentales	5
3.1 Mesures	5
3.2 Comparaisons	6
Conclusion	6
A Détermination des caractéristiques du CD4007	7
B Simulations transitoires	8

Introduction

Ce projet a pour but d'étudier l'amplificateur CMOS dont le circuit est montré à la figure 1, qui utilise le circuit intégré CD4007. Nous nous intéresserons au gain et à la bande passante. Nous commencerons par prédéterminer ces paramètres théoriquement, nous simulerons ensuite le comportement sous LTSpice, et pour finir nous vérifierons les prédéterminations par mesures expérimentales.

Les spécifications de l'amplificateur sont les suivantes : alimentation 5V, tension de sortie au repos 2.5V, gain en bande passante supérieur à 20dB, bande passante à 3dB de 20Hz à 25kHz.

Nous pouvons jouer sur les paramètres suivants : tension V_{bias2} , valeurs des capacités C_{in} et C_{out} .

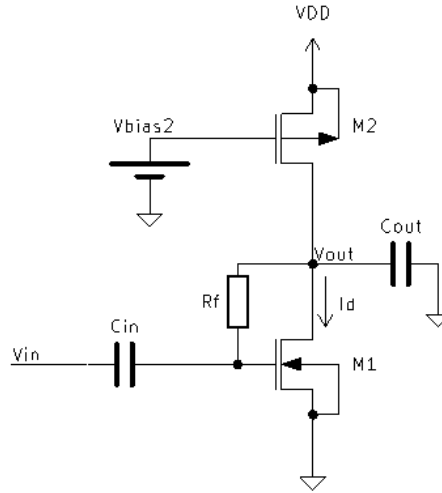


FIGURE 1 – Schéma du circuit étudié.

Des valeurs caractéristiques du CD4007 ainsi qu'un modèle Spice de ce circuit intégré nous ont été donnés dans les consignes du projet. Cependant, dans le cadre d'un autre projet, nous avons déterminé des valeurs caractéristiques du CD4007 sensiblement différentes (voir annexe A) et utilisé un autre modèle Spice (donné par Lynn Fuller, 2020, https://people.rit.edu/lffeee/CD4007_SPICE_MODEL.pdf). Nous utiliserons donc les différentes valeurs et modèles et nous comparerons les résultats.

	Donné dans les consignes		Déterminé par nos mesures	
	NMOS	PMOS	NMOS	PMOS
$V_{T0}[V]$	1.82	-1.07	1.3	-1.4
$\mu C_{ox} \frac{W}{L} \frac{1}{\lambda} [\mu A/V^2]$	800	1450	800	800
$V_A[V]$	141	100	195	14.5

TABLE 1 – Valeurs caractéristiques du CD4007

1 Prédéterminations théoriques

Lors des prédéterminations théoriques, nous ferons l'hypothèse que les deux transistors sont toujours saturés et nous négligerons leurs capacités parasites.

Nous calculerons les résultats à la fois pour les caractéristiques des CD4007 données dans les consignes du projet (nommées "A") et pour celles que nous avons établies dans l'annexe A (nommés "B").

1.1 Point de repos

En courant continu, on remplace les capacités par les circuits ouverts. Le condensateur C_{in} ayant été enlevé et le courant de grille dans M1 étant théoriquement nul, aucun courant ne peut passer par R_f . Comme la chute de tension dans R_f est donc nulle, on remplacera cette résistance par un circuit fermé.

Grâce à l'hypothèse que les transistors sont saturés, on peut dessiner le diagramme de Jaspers du circuit, pour une tension $V_{out} = 2.5V$. On voit sur le schéma que $V_{G1} = V_{out}$ et que $V_{G2} = V_{bias2}$.

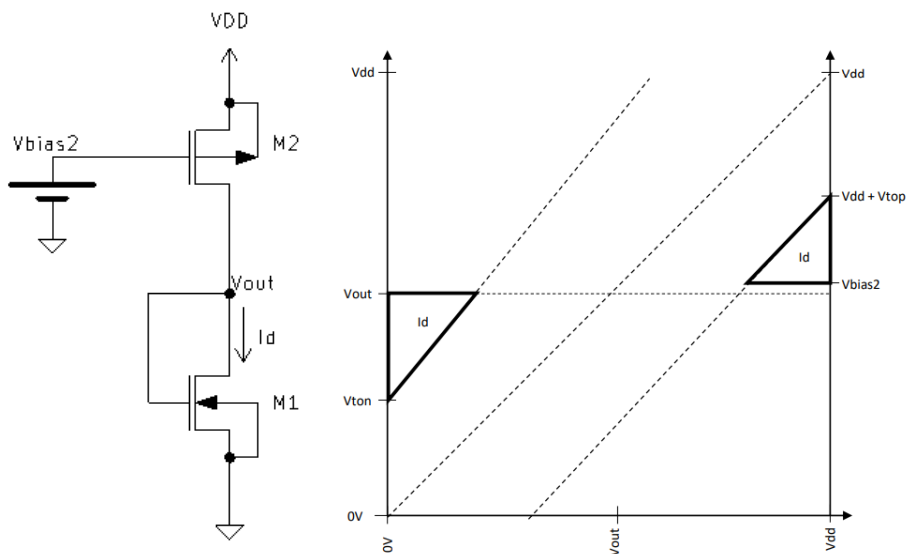


FIGURE 2 – Schéma en courant continu et diagramme de Jaspers.

Le diagramme de Jaspers nous montre que la tension V_{out} est déterminée par le courant I_D passant par les deux transistors, et que I_D est déterminé par le tension V_{bias2} .

On constate aussi que les deux transistors sont bien saturés :

$$V_{dsat1} < V_{d1} = V_{out} = V_{d2} < V_{dsat2}$$

Le rôle de la résistance R_f est d'imposer le point de repos en connectant M1 en diode.

Les calculs permettant de trouver V_{bias2} pour avoir $V_{out} = 2.5V$ sont les suivants :

$$I_D = \frac{\beta_1}{2\lambda_1} (V_{out} - V_{T0n})^2 = 184\mu A \Big|_A \text{ ou } 576\mu A \Big|_B$$

$$I_D = \frac{\beta_2}{2\lambda_2} (V_{dd} + V_{TOP} - V_{bias2})^2 \Rightarrow V_{bias2} = 3.42V \Big|_A \text{ ou } 2.4V \Big|_B$$

1.2 Paramètres petits signaux

Pour déterminer quels paramètres petits signaux nous aurons besoin de calculer, nous devons d'abord établir le modèle petits signaux du circuit. En partant du modèle de base, on remplace chaque transistor par son modèle petits signaux.

On peut ensuite effectuer les simplifications suivantes : les sources sont connectées aux bulks, on assimile V_{DD} et V_{bias2} à la masse, on a donc $V_{sb1} = V_{sb2} = V_{gb2} = 0$. En bande passante, le condensateur C_{in} est remplacé par un fil et C_{out} par un circuit ouvert. On choisit ici par facilité de ne pas travailler avec les valeurs des résistances mais plutôt avec leurs conductances associées.

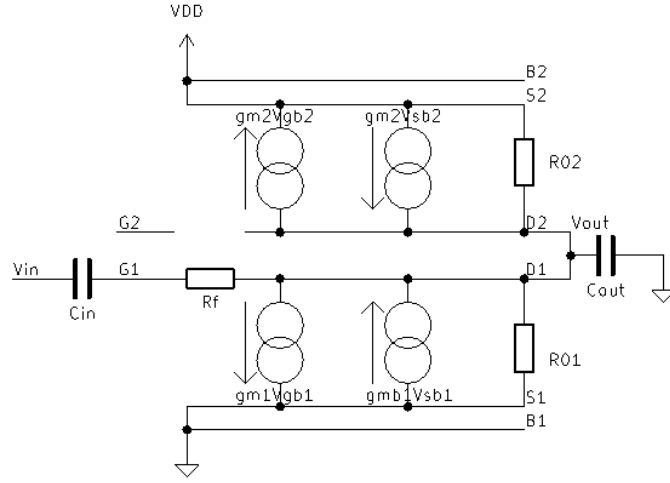


FIGURE 3 – Schéma petits signaux initial.

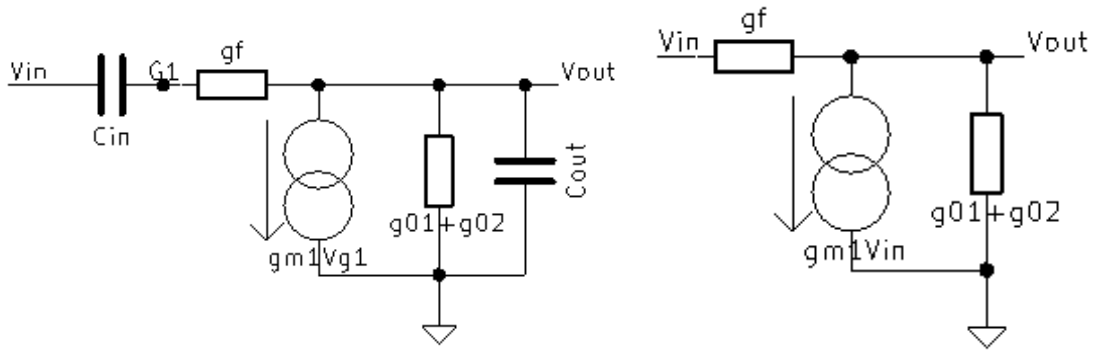


FIGURE 4 – Schéma petits signaux simplifié général (Gauche) et en bande passante (Droite).

Nous devons donc calculer :

- $g_m^1 = \mu_n^1 C_{ox}^1 \frac{W^1}{L^1} \frac{V_{out} - V_{TOn}}{\lambda^1} = 544 \mu S \Big|_A$ ou $960 \mu S \Big|_B$
- $g_0^1 = \frac{I_D}{V_A} = 1.31 \mu S \Big|_A$ ou $2.95 \mu S \Big|_B$
- $g_0^2 = \frac{I_D}{V_A^2} = 1.85 \mu S \Big|_A$ ou $39.7 \mu S \Big|_B$
- $g_f = \frac{1}{R_f} = 10 \mu S$

1.3 Calcul en courant alternatif petits signaux

En bande passante, les lois de Kirchoff appliquées au noeud V_{out} nous donnent l'équation suivante :

$$\begin{aligned}
 g_m^1 v_{in} + (g_0^1 + g_0^2) v_{out} &= (v_{in} - v_{out}) g_f \\
 \Rightarrow \frac{v_{out}}{v_{in}} &= \frac{g_f - g_m^1}{g_0^1 + g_0^2 + g_f} = -40.6 \Big|_A \text{ ou } -18 \Big|_B \\
 \Rightarrow A_0 &= 20 \log \left(\frac{v_{out}}{v_{in}} \right) = 32.2 dB \Big|_A \text{ ou } 25.1 dB \Big|_B
 \end{aligned}$$

La détermination de la fonction de transfert complexe est moins simple. On exprime d'abord V_g^1 en fonction de V_{in} et V_{out} :

$$V_g^1 = V_{out} + I_{Rf} R_f = V_{out} + \frac{V_{in} - V_{out}}{\left(\frac{1}{pC_{in}} + \frac{1}{g_f} \right) g_f} = V_{out} + (V_{in} - V_{out}) \frac{pC_{in}}{pC_{in} + g_f}$$

On écrit ensuite l'équation du noeud V_{out} :

$$g_m^1(V_{out} + (V_{in} - V_{out})\frac{pC_{in}}{pC_{in} + g_f}) + (g_0^1 + g_0^2 + pC_{out})v_{out} = (V_{in} - V_{out})\frac{pC_{in}g_f}{pC_{in} + g_f}$$

$$\Rightarrow \frac{v_{out}}{v_{in}} = \frac{\frac{pC_{in}}{pC_{in} + g_f}(g_f - g_m^1)}{\frac{pC_{in}}{pC_{in} + g_f}(g_f - g_m^1) + g_m^1 + g_0^2 + g_0^1 + pC_{out}}$$

$$= \frac{pC_{in}(g_f - g_m^1)}{p^2C_{in}C_{out} + p(C_{in}(g_f + g_0^1 + g_0^2) + C_{out}g_f) + g_f(g_m^1 + g_0^1 + g_0^2)}$$

Pour obtenir la fréquence de cassure en basses fréquences, on considère que p est très petit, et qu'on peut donc négliger le terme en p^2 ainsi que le terme en pC_{out} . Cela donne :

$$\frac{v_{out}}{v_{in}} = \frac{pC_{in}(g_f - g_m^1)}{pC_{in}(g_f + g_0^1 + g_0^2) + g_f(g_m^1 + g_0^1 + g_0^2)}$$

$$\Rightarrow \omega_c = \frac{g_f}{C_{in}} \frac{g_m^1 + g_0^1 + g_0^2}{g_f + g_0^1 + g_0^2}$$

$$\Rightarrow C_{in} = \frac{g_f}{2\pi 20Hz} \frac{g_m^1 + g_0^1 + g_0^2}{g_f + g_0^1 + g_0^2} = 3.3\mu F \Big|_A \text{ ou } 1.52\mu F \Big|_B$$

Pour obtenir la fréquence de cassure en hautes fréquences, on considère que pC_{in} est très grand, et donc que $\frac{pC_{in}}{pC_{in} + g_f}$ vaut presque 1. Cela donne :

$$\frac{v_{out}}{v_{in}} = \frac{g_f - g_m^1}{pC_{out} + g_f + g_0^1 + g_0^2}$$

$$\Rightarrow \omega_c = \frac{g_f + g_0^1 + g_0^2}{C_{out}}$$

$$\Rightarrow C_{out} = \frac{g_f + g_0^1 + g_0^2}{2\pi 25kHz} = 83.4pF \Big|_A \text{ ou } 336pF \Big|_B$$

2 Simulations sous LTSpice

Nous avons construit le circuit sur LTSpice, avec nos valeurs de capacités calculées pour les données A. Nous avons réalisé deux séries de simulations : l'une avec le modèle SPICE du CD4007 donné dans les consignes (nommées "C") et l'autre avec le modèle SPICE de Lynn Fuller, 2020 (nommées "D").

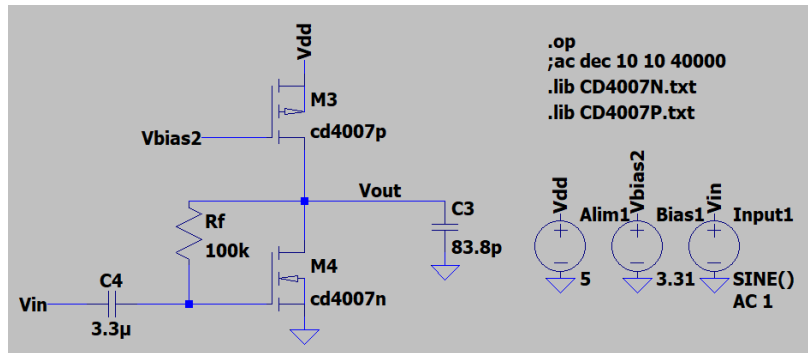


FIGURE 5 – Schéma LTSpice du circuit.

Nous avons commencé par réaliser plusieurs simulations de point de repos DC (.op) afin d'ajuster la valeur de V_{bias2} jusqu'à obtenir $V_{out} = 2.5V$. Cela nous donne $V_{bias2} = 3.1V \Big|_C$ ou $2.2V \Big|_D$.

Nous avons réalisé une simulation de balayage de fréquence de 5Hz à 500kHz (.ac 10 2 500000) (figure 6) et relevé les fréquences de cassure pour obtenir la bande passante à -3dB : on observe pour le modèle donné dans les consignes un gain de 31dB avec une bande passante de 50Hz à 30kHz. Pour

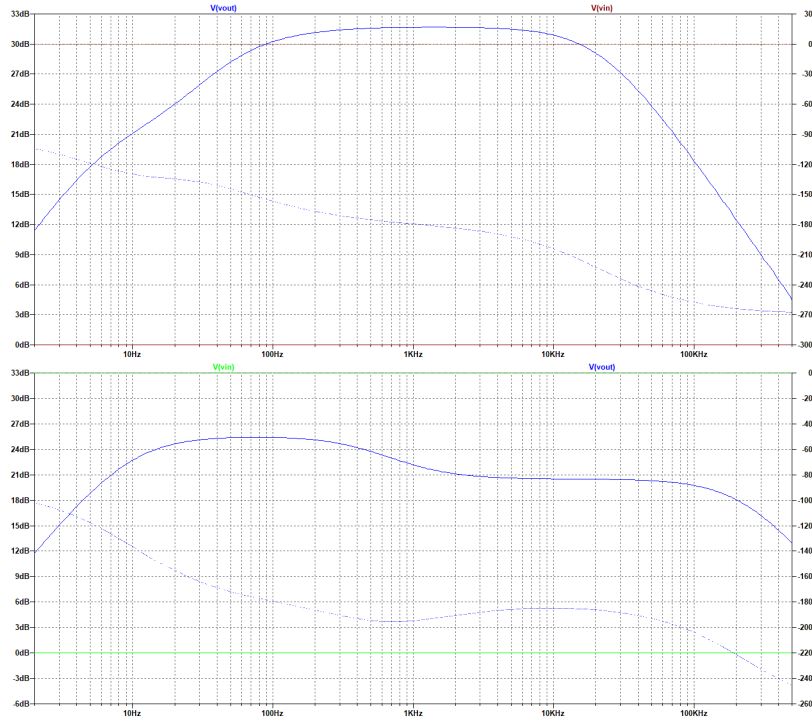


FIGURE 6 – Résultats des simulations AC (Haut : C, bas : D).

le modèle de Lynn Fuller, 2020, on observe que l’amplitude de la réponse est plus faible entre 1kHz et 50kHz. Le gain dans la première partie est de 25.3dB, et les fréquences de cassure sont 9.5Hz et 225kHz.

Nous avons également réalisé des simulations transitoires (.tran) avec pour V_{in} un signal sinusoïdal d’amplitude 50mV et de fréquence 20Hz/1kHz/25kHz. Ces simulations sont disponibles dans l’annexe B.

3 Vérifications expérimentales

3.1 Mesures

Afin de vérifier expérimentalement nos prédéterminations, nous avons construit le circuit sur platine d’expérimentation et réalisé quelques tests. Nous avons utilisé pour C_{in} un condensateur de $3.3\mu F$ et pour C_{out} un condensateur de 100pF.

Tout d’abord, avec V_{in} mis à la masse, nous avons réglé V_{bias2} pour obtenir $V_{out} = 2.5V$. Nous obtenons $V_{in} = 2.4V$.

Ensuite, nous avons placé une résistance de $1k\Omega$ entre les deux transistors afin de mesurer le courant I_d : nous mesurons 0.568V aux bornes de la résistance de $0.98137k\Omega$, le courant vaut donc $579\mu A$.

Enfin, après avoir enlevé la résistance de test, nous avons appliqué à V_{in} un signal sinusoïdal d’amplitude 50mV à plusieurs fréquences, et relevé des couples de points fréquence-amplitude de sortie. La courbe de Bode de l’amplificateur tracée à l’aide de ces points est donnée à la figure 7.

On relève un gain en bande passante de 23.4dB. Les fréquences de cassure sont obtenues par interpolation linéaire entre les plus proches points au dessus et en dessous de 20.4dB : on obtient 8.6Hz et 91.7kHz. On n’observe pas le phénomène de gain inférieur entre 1kHz et 50kHz qui était présent dans la simulation D.

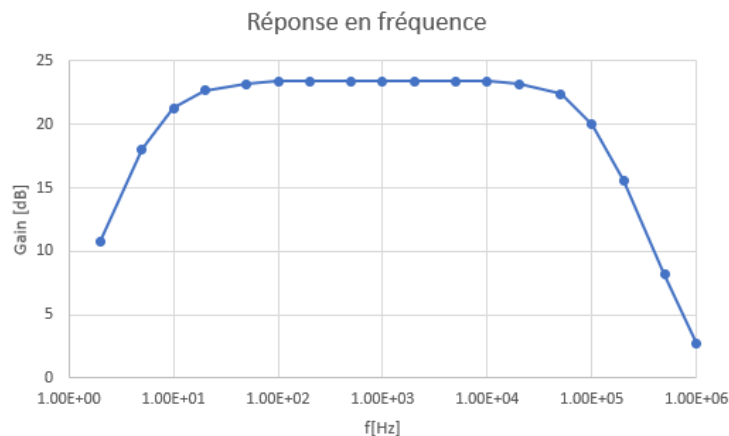


FIGURE 7 – Courbe de Bode de l’amplificateur.

3.2 Comparaisons

Nous avons réalisé un tableau comparatif des valeurs obtenues par calcul, simulation et mesure.

Les valeurs de fréquences de cassure pour les calculs et simulations ont été modifiées pour correspondre aux valeurs qui auraient été obtenues avec les mêmes capacités que pendant les mesures expérimentales : $f_{modifiée} = f_{initiale} \cdot C_{initiale} / C_{mesures}$.

	Calculs (A)	Calculs (B)	Simulation (C)	Simulation (D)	Mesures expérimentales
$I_d[\mu A]$	185	576	230	741	579
$V_{bias2}[V]$	3.4	2.4	3.3	2.2	2.4
$A_{v0}[dB]$	32.2	25.1	31.7	25.3	23.4
$f_{inf}[Hz]$	19.9	9.1	56.7	9.5	8.7
$f_{sup}[kHz]$	21.0	84.0	21.8	189	91.7

TABLE 2 – Tableau comparatif des calculs, simulations et mesures.

Conclusion

Nous avons donc effectué l’analyse complète d’un amplificateur CMOS basé sur le CD4007 lors de ce projet. Les mesures expérimentales confirment bien un gain supérieur à 20dB.

On voit dans la table 3.2 que les valeurs obtenues par calculs à partir des caractéristiques du CD4007 déterminées dans l’annexe A sont de loin les plus proches des mesures expérimentales. Les simulations effectuées sur base du modèle Spice de Lynn Fuller, 2020 s’en rapprochent aussi, mais la courbe de Bode obtenue lors de ces simulations n’est pas similaire à celle obtenue par mesures.

Les valeurs obtenues par calcul à partir des caractéristiques données dans les consignes ainsi que les simulations effectuée avec le modèle Spice donné dans les consignes sont plus éloignées des valeurs mesurées.

A Détermination des caractéristiques du CD4007

Pour déterminer les tensions de seuil et paramètres $\beta/2\lambda$, nous avons caractérisé la courbe $I_d - V_{bg}$ en saturation d'un PMOS et d'un NMOS d'un circuit intégré CD4007.

Nous avons porté en graphique les valeurs $\sqrt{I_D} - V_{bg}$ (figure 8). Sachant que d'après le modèle de Jespers, le courant de drain est nul lorsque $V_{bg} < |V_{T0}|$ et qu'il vaut $\frac{\beta}{2\lambda}(V_{bg} - |V_{T0}|)^2$ en saturation, nous avons pu déterminer les tensions de seuil et paramètres $\frac{\beta}{2\lambda}$ du NMOS et du PMOS du CD4007.

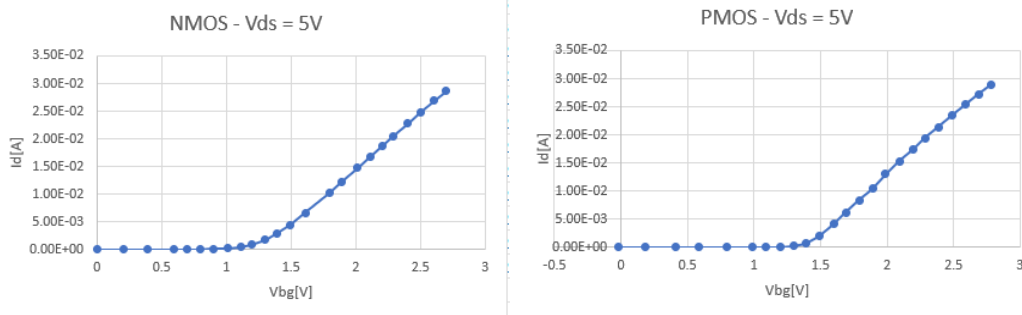


FIGURE 8 – Mesures de caractérisation du CD4007 (Gauche : NMOS, droite : PMOS).

On sait que $\sqrt{I_D} = \sqrt{\frac{\beta}{2\lambda}(V_{bg} - |V_{T0}|)}$, ce qui veut dire que la racine du courant de drain suit une droite de pente $\sqrt{\frac{\beta}{2\lambda}}$ et que cette droite coupe l'axe réel en $|V_{T0}|$. Nous avons opéré une régression linéaire sur la partie de nos courbes expérimentales où le courant est non nul de nos courbes expérimentales, ce qui nous donne les valeurs suivantes :

Pour le PMOS, $V_{T0} = -1.4V$ et $\frac{\beta}{2\lambda} = 4 \cdot 10^{-4} A/V^2$. Pour le NMOS, $V_{T0} = 1.3V$ et $\frac{\beta}{2\lambda} = 4 \cdot 10^{-4} A/V^2$.

Pour la tension d'Early, nous avons caractérisé la courbe $I_D - V_{DS}$ à V_{bg} constant d'un NMOS et d'un PMOS d'un circuit intégré CD4007. Les mesures sont portées en graphique à la figure 9.

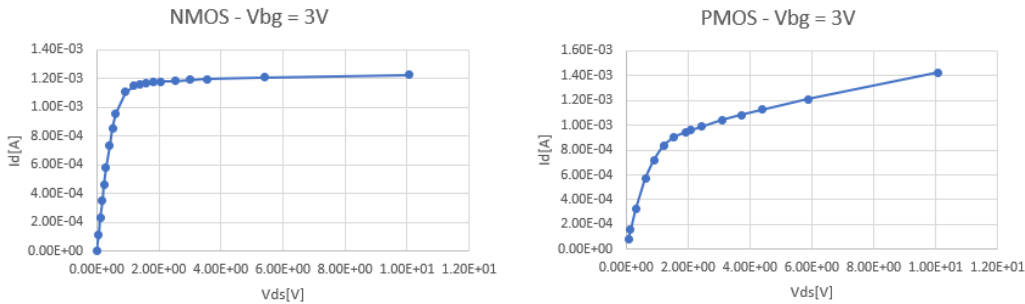


FIGURE 9 – Mesures de caractérisation du CD4007 (Gauche : NMOS, droite : PMOS).

On sait que la valeur de la tension d'Early se trouve sur l'axe réel à l'intersection avec le prolongement de la droite que suit le courant en saturation. Nous avons donc effectué graphiquement ce prolongement, et obtenu les valeurs suivantes : pour le NMOS $V_A = 195V$, pour le PMOS $V_A = 14.5V$.

B Simulations transitoires

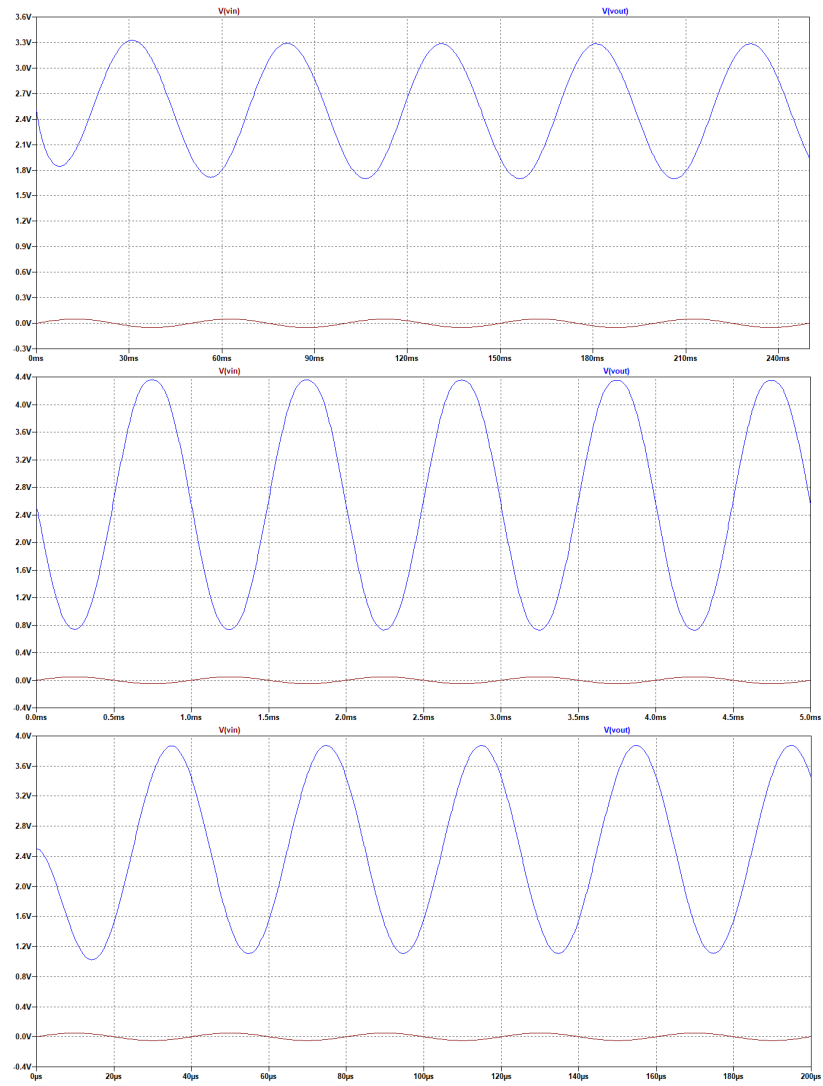


FIGURE 10 – Résultats des simulations TRAN avec le modèle Spice donné dans les consignes (de haut en bas, 20Hz/1kHz/25kHz).

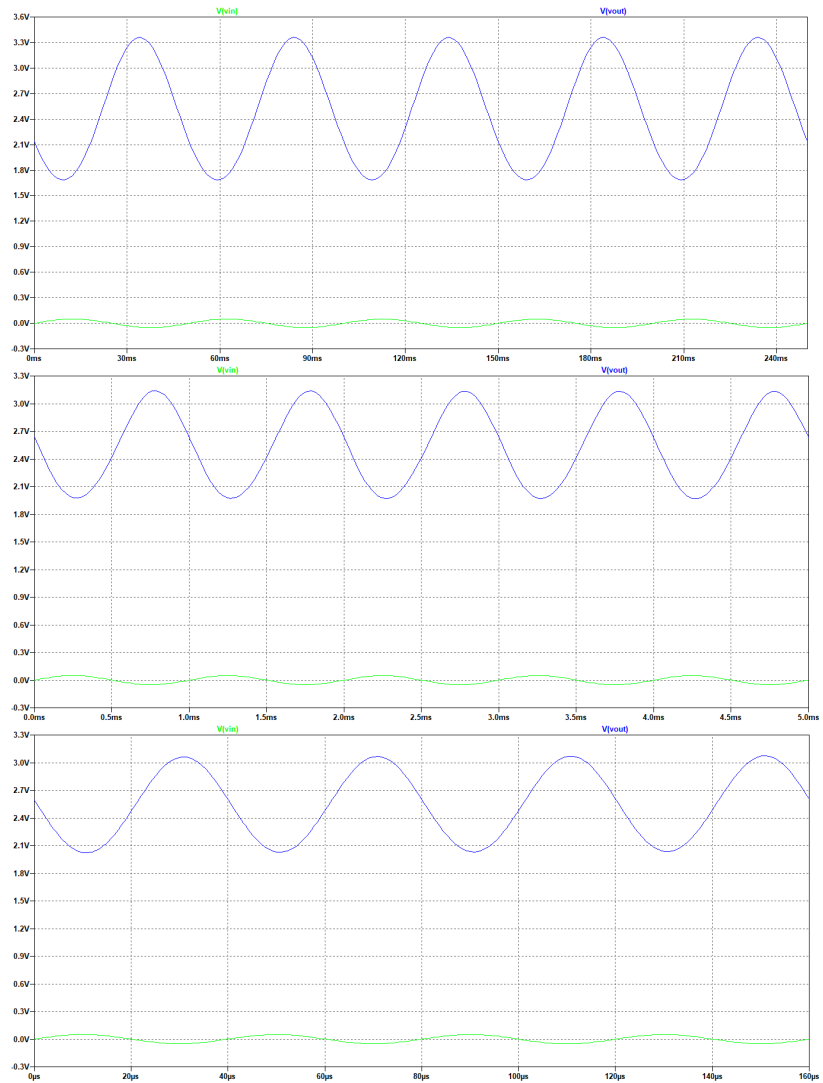


FIGURE 11 – Résultats des simulations TRAN avec le modèle Spice de Lynn Fuller, 2020 (de haut en bas, 20Hz/1kHz/25kHz).